



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002158312 A**(43) Date of publication of application: **31.05.02**

(51) Int. Cl.

H01L 23/12**H01L 21/56****H01L 23/28****H01L 23/52**(21) Application number: **2000351704**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **17.11.00**(72) Inventor: **SASAKI TAKAAKI**

(54) **SEMICONDUCTOR PACKAGE FOR
THREE-DIMENSIONAL MOUNTING, ITS
MANUFACTURING METHOD AND
SEMICONDUCTOR DEVICE**

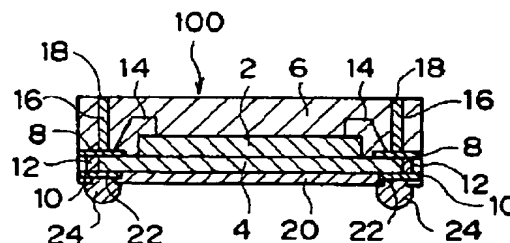
electrically connected from a surface of the sealing resin layer 6, and lower surface connection electrodes 24 are electrically connected with the second wiring pattern 10 on the other surface of the wiring board 4.

(57) Abstract:

COPYRIGHT: (C)2002,JPO

PROBLEM TO BE SOLVED: To provide a semiconductor package for three-dimensional mounting wherein higher density mounting is enabled as compared with the conventional BGA type semiconductor package and fabrication is easy.

SOLUTION: In this semiconductor package for three-dimensional mounting, its manufacturing method and a semiconductor device, the semiconductor package is provided with a wiring board 4 wherein a first wiring pattern 8 is formed on one surface, a second wiring pattern 10 is formed on the other surface, and the pattern 8 and the pattern 10 are electrically connected with each other. A semiconductor chip 2 is mounted on the one surface of the wiring board 4 and electrically connected with the first wiring pattern 8, a sealing resin layer 6 is formed on the one surface of the wiring board 4, a wiring 16 in the thickness direction penetrates the sealing resin layer 6 in the thickness direction, one end thereof is electrically connected with the wiring pattern 8, and the other end can be



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-158312
(P2002-158312A)

(43)公開日 平成14年5月31日(2002.5.31)

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 W 4 M 1 0 9
			5 0 1 S 5 F 0 6 1
21/56		21/56	R
23/28		23/28	F
23/52		23/52	C
審査請求 有 請求項の数 8 O L (全 10 頁)			

(21)出願番号 特願2000-351704(P2000-351704)

(22)出願日 平成12年11月17日(2000.11.17)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 佐々木 孝明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100079049

弁理士 中島 淳 (外3名)

Fターム(参考) 4M109 AA01 BA03 CA21 DB15

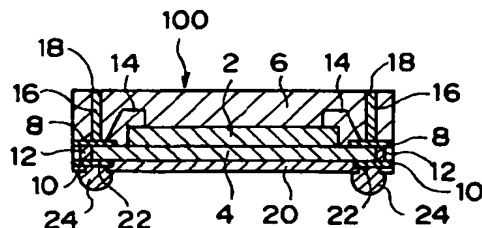
5F061 AA01 BA03 CA21 CB02 CB13

(54)【発明の名称】 3次元実装用半導体パッケージ、その製造方法、および半導体装置

(57)【要約】 (修正有)

【課題】 従来のBGA型半導体パッケージよりも高密度実装でき、作製の容易な3次元実装用半導体パッケージの提供。

【解決手段】 一面に第1の、他面に第2の配線パターン8、10が形成され、前記第1、第2の配線パターン8、10が互いに電氣的に接続された配線基板4と、前記配線基板4の一方の面に載置され、前記第1の配線パターン8に電氣的に接続されてなる半導体チップ2と、前記配線基板4における前記一面に形成された封止樹脂層6と、前記封止樹脂層6を厚さ方向に貫通し、一端が前記配線パターン8に電氣的に結合されて他端が前記封止樹脂層6の表面から電氣的に接続可能な厚さ方向配線16と、前記配線基板4の他面において前記第2の配線パターン10に電氣的に接続された下面接続電極24とを備える3次元実装用半導体パッケージ、その製造方法、および半導体装置。



【特許請求の範囲】

【請求項1】 一方の面に第1の配線パターンが、他方の面に第2の配線パターンが形成され、前記第1および第2の配線パターンが互いに電氣的に接続されてなる配線基板と、

前記配線基板の一方の面に載置され、前記第1の配線パターンに電氣的に接続されてなる半導体チップと、
前記配線基板における前記一方の面に形成され、前記半導体チップおよび前記第1の配線パターンを封止する封止樹脂層と、

前記封止樹脂層を厚さ方向に貫通してなり、一端において前記第1の配線パターンに電氣的に結合され、他端が、前記封止樹脂層の表面から電氣的に接続可能とされた厚さ方向配線と、

前記配線基板の他方の面に形成され、前記第2の配線パターンに電氣的に接続されてなる下面接続電極とを備えてなることを特徴とする3次元実装用半導体パッケージ。

【請求項2】 前記厚さ方向配線の他端および前記下面接続電極の少なくとも一方に半田ボールが接合されてなる請求項1に記載の3次元実装用半導体パッケージ。

【請求項3】 前記封止樹脂層の表面に載置されてなる再配線基板を備えてなり、前記再配線基板は、前記厚さ方向配線の他端に電氣的に接続された第3の配線パターンと、前記厚さ方向配線に接続された面とは反対側の面に形成され、前記第3の配線パターンに電氣的に接続されてなる上面接続電極とを備えてなる請求項1または2に記載の3次元実装用半導体パッケージ。

【請求項4】 前記配線基板における下面接続電極および前記再配線基板における上面接続電極の少なくとも一方に半田ボールが接続されてなる請求項3に記載の3次元実装用半導体パッケージ。

【請求項5】 前記封止樹脂層の表面に形成され、前記厚さ方向配線の他端に電氣的に接続されてなる第4の配線パターンと、前記第4の配線パターンを被覆する外部絶縁層と、前記外部絶縁層の表面またはその近傍に位置し、前記第4の配線パターンに電氣的に接続されてなる上面接続電極とを備えてなる請求項1または2に記載の3次元実装用半導体パッケージ。

【請求項6】 一方の面に第1の配線パターンが、他方の面に第2の配線パターンが形成され、前記第1および第2の配線パターンが互いに電氣的に接続された配線基板の一方の面に半導体チップを載置し、前記半導体チップと、前記第1の配線パターンとを電氣的に接続する半導体チップ配線工程と、

前記半導体チップと前記第1の配線パターンとを封止樹脂で封止し、前記配線基板における前記一方の面に封止樹脂層を形成する封止樹脂層形成工程と、

前記封止樹脂層に、前記第1の配線パターンに達するように貫通孔を形成し、前記貫通孔内部に厚さ方向配線を

形成する厚さ方向配線形成工程とを有することを特徴とする3次元実装用半導体パッケージの製造方法。

【請求項7】 前記厚さ方向配線形成工程において、前記封止樹脂層の表面における所定箇所にレーザー光を照射して前記貫通孔を形成する請求項6に記載の3次元実装用半導体パッケージの製造方法。

【請求項8】 請求項1～5に記載の3次元実装用半導体パッケージをマザーボード上に実装してなる半導体装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3次元実装用半導体パッケージ、その製造方法、および半導体装置に関し、特に作製が容易で高い実装密度が得られる3次元実装用半導体パッケージ、前記3次元実装用半導体パッケージの製造方法、および前記3次元実装用半導体パッケージをマザーボード上に実装した半導体装置に関する。

【0002】

【従来の技術】従来のBGA（ボールグリッドアレイ）型半導体パッケージの一例を図15に示す。

【0003】図15に示すように、従来のBGA型半導体パッケージは、配線基板Bと、配線基板Bの一方の面に載置された半導体チップAとを備える。

【0004】配線基板Bにおける半導体チップAが載置された側の面には第1の配線パターンB2が形成され、前記面とは反対側の面には第2の配線パターンB4が形成されている。第1の配線パターンB2と第2の配線パターンB4とは、配線基板Bを貫通する鍍金スルーホールB6により接続されている。

30 【0005】半導体チップAと第1の配線パターンB2とは、配線ワイヤDにより接続されている。配線基板Bにおける半導体チップAが載置された側の面には封止樹脂層Cが形成され、半導体チップAと第1の配線パターンB2と配線ワイヤDとは、前記封止樹脂層C中に埋設されている。

【0006】一方、配線基板Bにおける第2の配線パターンB4が設けられた側の面は、フォトリソ樹脂の層であるレジスト層Eにより被覆されている。レジスト層Eの所定箇所には開口部E2が設けられ、開口部E2において第2の配線パターンB4が露出している。開口部E2において露出した第2の配線パターンB4には、半田ボールFが接続されている。

【0007】前記BGA型半導体パッケージを、半田ボールFを介してマザーボードのパッドに実装すると、マザーボード上の半導体回路は、前記パッド、半田ボールF、第2の配線パターンB4、鍍金スルーホールB6、第1の配線パターンB2、および配線ワイヤDを介して半導体チップAに電氣的に接続される。

【0008】

50 【発明が解決しようとする課題】しかしながら、前記B

G A型半導体パッケージは、マザーボード上に平面的にしか実装できず、積層することはできなかったため、マザーボード上において達成できる実装密度に限界があった。

【0009】前記BGA型半導体パッケージを使用してマザーボード上における実装密度を高くする手段としては、寸法の小さなBGA型半導体パッケージを使用することが考えられる。しかし、BGA型半導体パッケージを小型化すると半田ボールのピッチが小さくなるので、マザーボードとしてビルドアップ法などの方法により作製されたものを使用する必要がある、マザーボードが高価になるという問題があった。

【0010】本発明は、上記事実を考慮し、マザーボード上に積層することにより、従来のBGA型半導体パッケージよりも更に高密度実装でき、しかも作製の容易な3次元実装用半導体パッケージ、前記3次元実装用半導体パッケージの製造方法、および前記3次元実装用半導体パッケージをマザーボード上に実装してなる半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、一方の面に第1の配線パターンが、他方の面に第2の配線パターンが形成され、前記第1および第2の配線パターンが互いに電気的に接続されてなる配線基板と、前記配線基板の一方の面に載置され、前記第1の配線パターンに電気的に接続されてなる半導体チップと、前記配線基板における前記一方の面に形成され、前記半導体チップおよび前記第1の配線パターンを封止する封止樹脂層と、前記封止樹脂層を厚さ方向に貫通してなり、一端において前記第1の配線パターンに電気的に接続され、他端が、前記封止樹脂層の表面から電気的に接続可能とされた厚さ方向配線と、前記配線基板の他方の面に形成され、前記第2の配線パターンに電気的に接続されてなる下面接続電極とを備えてなることを特徴とする3次元実装用半導体パッケージに関する。

【0012】前記3次元実装用半導体パッケージをマザーボードのパッド上に実装し、前記3次元実装用半導体パッケージの上方に、同様の構成を有する3次元実装用半導体パッケージまたはドーターボードを積層すると、前記下面接続電極が、前記3次元実装用半導体パッケージと前記マザーボードとを電気的に接続する接続端子として機能し、厚さ方向配線における前記他端が、前記3次元実装用半導体パッケージと、上方に接続される3次元実装用半導体パッケージまたはドーターボードとを電気的に接続する接続端子として機能する。

【0013】したがって、前記半導体チップは、前記配線基板における第1および第2の配線パターンおよび前記下面接続電極を介してマザーボードに電気的に接続され、更に、前記第1の配線パターンおよび前記厚さ方向配線を介して前記上方に接続される3次元実装用半導体

パッケージにおける半導体チップまたは前記ドーターボード上に形成された半導体回路に電気的に接続される。

【0014】請求項3に記載の発明は、前記封止樹脂層の表面に載置されてなる再配線基板を備えてなり、前記再配線基板は、前記厚さ方向配線の他端に電気的に接続された第3の配線パターンと、前記厚さ方向配線に接続された面とは反対側の面に形成され、前記第3の配線パターンに電気的に接続されてなる上面接続電極とを備えてなる3次元実装用半導体パッケージに関する。

10 【0015】前記3次元実装用半導体パッケージにおいては、前記再配線基板における第3の配線パターンは、前記第1および第2の配線パターンとは異なってもよいから、前記再配線基板により、前記配線基板における下面接続電極とは異なった接続用配線を形成できる。

【0016】また、半導体チップの上方にも上面接続電極を設けることができるから、前記厚さ方向配線の他端を上面接続電極として用いる3次元実装用半導体パッケージよりも更に多くの上面接続電極が形成でき、また、上面接続電極同士の間隔をより広くとることができる。

20 【0017】請求項5に記載の発明は、前記封止樹脂層の表面に形成され、前記厚さ方向配線における前記露出端に電気的に接続されてなる第4の配線パターンと、前記第4の配線パターンを被覆する外部絶縁層と、前記外部絶縁層の表面またはその近傍に位置し、前記第4の配線パターンに電気的に接続されてなる上面接続電極とを備えてなる3次元実装用半導体パッケージに関する。

【0018】前記3次元実装用半導体パッケージは、請求項3に記載の3次元実装用半導体パッケージの有する特長に加え、再配線基板を設ける必要がない分、更に厚さが薄くでき、また信頼性が高いという特長を有する。

30 【0019】請求項6に記載の発明は、一方の面に第1の配線パターンが、他方の面に第2の配線パターンが形成され、前記第1および第2の配線パターンが互いに電気的に接続された配線基板の一方の面に半導体チップを載置し、前記半導体チップと、前記第1の配線パターンとを電気的に接続する半導体チップ配線工程と、前記半導体チップと前記第1の配線パターンとを封止樹脂で封止し、前記配線基板における前記一方の面に封止樹脂層を形成する封止樹脂層形成工程と、前記封止樹脂層に、前記第1の配線パターンに達するように貫通孔を形成し、前記貫通孔内部に厚さ方向配線を形成する厚さ方向配線形成工程とを有することを特徴とする3次元実装用半導体パッケージの製造方法に関する。

【0020】前記3次元実装用半導体パッケージの製造方法によれば、請求項1に記載の3次元実装用半導体パッケージが容易に製造できる。

【0021】請求項8に記載の発明は、請求項1～5に記載の3次元実装用半導体パッケージをマザーボード上に実装してなる半導体装置に関する。

50 【0022】前記半導体装置においては、3次元実装に

より集積度を向上させることができる。

【0023】

【発明の実施の形態】 1. 実施形態1

本発明に係る3次元実装用半導体パッケージの一例を図1および図2に示す。

【0024】図1に示すように、実施形態1に係る3次元実装用半導体パッケージ100は、配線基板4と、配線基板4の一方の面に載置された半導体チップ2とを備える。

【0025】配線基板4における半導体チップ2が載置された側の面には第1の配線パターン8が形成され、配線基板4を挟んで第1の配線パターン8とは反対の側には第2の配線パターン10が形成されている。第1の配線パターン8と第2の配線パターン10とは、配線基板4を貫通する鍍金スルーホール12により接続されている。

【0026】配線基板4における第2の配線パターン10が設けられた側の面は、フォトリソ樹脂の層であるレジスト層20により被覆されている。レジスト層20には、第2の配線パターン10の位置に合せ、本発明の3次元実装用半導体パッケージにおける下面接続電極に相当する円形の開口部22が設けられている。前記開口部22においては第2の配線パターン10が露出しているから、3次元実装用半導体パッケージ100をマザーボード等を実装したときには、前記開口部22において、前記第2の配線パターン10を前記マザーボードに電気的に接続できる。前記開口部22には半田ボール24が接合されている。

【0027】半導体チップ2と第1の配線パターン8とは、図1および図2に示すように、金または銀の細線である配線ワイヤ14により接続されている。

【0028】配線基板4における半導体チップ2が載置された側の面には、封止樹脂層6が形成されている。封止樹脂層6は、エポキシ樹脂などを用い、トランスファ法などにより形成できる。半導体素子2、第1の配線パターン8、および配線ワイヤ14は、封止樹脂層6中に埋没している。

【0029】封止樹脂層6には、円柱状の厚さ方向配線16が貫通している。厚さ方向配線16の下端は、第1の配線パターン8に接続され、上端は、封止樹脂層6の表面に露出し、上面接続面18を形成している。ここで、前述したように第1の配線パターン8は、配線基板4を挟んで第2の配線パターン10の反対側に形成され、しかも厚さ方向配線16は、開口部22の位置に合せて設けられているから、上面接続面18もまた、開口部22の位置に合せて形成され、言い替えれば開口部22の真上に位置している。

【0030】3次元実装用半導体パッケージ100においては、前記上面接続面18に半田ボール26を載置できる。3次元実装用半導体パッケージ100において上

面接続面18に半田ボール26を載置した3次元実装用半導体パッケージ102について図2に示す。

【0031】図1に示す3次元実装用半導体パッケージ100および図2に示す3次元実装用半導体パッケージ102は、例えば図4～図9に示した手順に製造できる。

【0032】まず、図4に示すように、例えば横長な長方形の平面形状を有する配線基板4の表面に、導体の短冊状小片を「口」の字型に配列した形態の第1の配線パターン8を長手方向に4個づつ2列、合計8個形成する。そして裏面に第2の配線パターン10を形成し、第1の配線パターン8と第2の配線パターン10とを鍍金スルーホール12で接続する。なお、図4においては、第2の配線パターン10および鍍金スルーホール12は省略されている。配線基板4の平面形状、および第1の配線パターン8の形態は、図4に示す例には限定されない。第1の配線パターン8および第2の配線パターン10は、何れも銅などの高導電性の金属を使用できる。第1の配線パターン8および第2の配線パターン10を形成する際に、配線基板4の図4における左上と右下との隅に、パターニングなどにより、位置合せマークLを附しておくことが好ましい。位置合せマークとしては、例えば図4～図9に示すような十字型のマークなどが挙げられる。

【0033】次に、半導体チップ配線工程を行なう。半導体チップ配線工程においては、図5に示すように、配線基板4において、第1の配線パターン8が形成する8個の「口」の字型図形における各中央部に半導体チップ2を接着する。半導体チップ2の端子と第1の配線パターン8とを、ワイヤボンディング法により配線ワイヤ14で接続する。

【0034】そして、封止樹脂層形成工程においては、トランスファ法により、配線基板4における第1の配線パターン8、半導体チップ2、および配線ワイヤ14をエポキシ樹脂などの封止樹脂で封止して封止樹脂層6を形成する。

【0035】次に、以下のようにして厚さ方向配線形成工程を行なう。

【0036】まず、封止樹脂層形成工程において形成された封止樹脂層6に、第1の配線パターン8の位置に合せて貫通孔Hを穿設する。封止樹脂層6に貫通孔Hを穿設するには、たとえば、配線基板4に附された位置合せマークLを基準にして、第1の配線パターン8の位置に合せてレーザ光の照射位置を定め、前記照射位置にレーザ光を照射するなどの方法をとることができる。レーザ光としては、YAGレーザなどが使用できる。第1の配線パターン8は、前述のように、通常銅の薄膜により形成されるから、レーザ光は、封止樹脂層6を形成する封止樹脂には吸収されるものの、第1の配線パターン8においては吸収されずに反射される。したがって、前記方

法により、封止樹脂層6を貫通して第1の配線パターン8に達するように貫通孔Hを形成でき、しかも第1の配線パターン8を損傷することが殆どない。封止樹脂層6に貫通孔Hを穿設したところを図6に示す。

【0037】封止樹脂層6に貫通孔Hを穿設したら、第1の配線パターン8を一方の電極として、鍍金法により、貫通孔Hの内部に半田を析出させて厚さ方向配線16を形成する。貫通孔Hの内部に厚さ方向配線16を形成したところを図7に示す。なお、鍍金法によって厚さ方向配線16を形成する代わりに、印刷法により、貫通孔Hを半田ペーストで充填し、次いで前記半田ペーストを溶融・固化させる方法によっても厚さ方向配線16を形成できる。

【0038】最後に図9に示すように、ダイシングプレートなどを用い、配線基板4を切断線cに沿って碁盤目状に切断することにより、図1に示す3次元実装用半導体パッケージ100が得られる。

【0039】図2に示す3次元実装用半導体パッケージ102は、厚さ方向配線16を形成するまでは、図1に示す3次元実装用半導体パッケージ100と同様に、図4～図7に示す手順で作製できる。

【0040】次いで、図8に示すように、厚さ方向配線16における上面接続面18に半田ボール26を載置し、接合する。最後に図9に示すように、配線基板4を、ダイシングプレートなどを用い、切断線cに沿って碁盤目状に切断することにより、図2に示す3次元実装用半導体パッケージ102が得られる。

【0041】図1に示す3次元実装用半導体パッケージ100および図2に示す3次元実装用半導体パッケージ102をマザーボード上に実装した半導体装置の例を図3に示す。図3において、(a)は、マザーボード上において図1に示す3次元実装用半導体パッケージを2段に積層した半導体装置の例を示し、(b)は、マザーボード上に3次元実装用半導体パッケージ102を実装し、その上にドータボードを実装した半導体装置の例を示す。

【0042】図3において(a)に示す半導体装置としては、例えば、マザーボード上にDRAMが2層以上積層された半導体装置などがある。

【0043】図3において(a)に示す半導体装置においては、図1に示す3次元実装用半導体パッケージ100がマザーボード50のパッドに半田ボール24を介して接合され、3次元実装用半導体パッケージ100の上面には、更にもう1つの3次元実装用半導体パッケージ100が接続されている。以下、マザーボード50に接合された3次元実装用半導体パッケージ100を「3次元実装用半導体パッケージ100A」といい、3次元実装用半導体パッケージ100Aの上面に接合された3次元実装用半導体パッケージ100を「3次元実装用半導体パッケージ100B」という。

【0044】3次元実装用半導体パッケージ100Aにおける半導体チップ2A、および3次元実装用半導体パッケージ100Bにおける半導体チップ2Bとしては、例えばDRAMなどが挙げられる。

【0045】前記半導体装置においては、3次元実装用半導体パッケージ100Bの開口部22Bが、半田ボール24Bを介して3次元実装用半導体パッケージ100Aの接続面18Aに電気的に接合されている。したがって、前記半導体装置においては、開口部22Bおよび上部接続面18Aは接続端子として機能しているから、上部接続面18Aは、3次元実装用半導体パッケージ100Aの上面接続電極でもある。

【0046】したがって、3次元実装用半導体パッケージ100Aの半導体チップ2Aは、3次元実装用半導体パッケージ100Aにおける配線ワイヤ14A、第1の配線パターン8A、鍍金スルーホール12A、第2の配線パターン10A、および半田ボール24Aを介してマザーボード50上の半導体回路に電気的に接続される。半導体チップ2Aは、同時に、3次元実装用半導体パッケージ100Aにおける厚さ方向配線16A、および3次元実装用半導体パッケージ100Bの半田ボール24B、第2の配線パターン10B、鍍金スルーホール12B、第1の配線パターン8B、配線ワイヤ14Bを介し、半導体チップ2Bに電気的に接続される。

【0047】前記半導体装置では、3次元実装用半導体パッケージ100の段数は2段であるが、3次元実装用半導体パッケージ100の段数は、2段には限定されない。

【0048】図3において(b)に示す半導体装置としては、例えば、CPUが積層されたマザーボード上に3次元実装用半導体パッケージ102が実装され、その上にビデオ画像処理回路、音源回路、またはCUPアップグレード回路などを形成したドータボードが実装された半導体装置が挙げられる。

【0049】図3において(b)に示す半導体装置においては、図2に示す3次元実装用半導体パッケージ102は、マザーボード50のパッドに半田ボール24を介して接合され、3次元実装用半導体パッケージ102の上面には、半導体素子62が搭載されたドータボード60が、半田ボール26を介して接合されている。ドータボード60においては、半導体素子62が搭載された側の面とは反対側の面にパッドを設け、前記パッドにおいて3次元実装用半導体パッケージ102における半田ボール26に接合することができる。

【0050】3次元実装用半導体パッケージ102における半導体チップ2は、3次元実装用半導体パッケージ100と同様の経路を介してマザーボード50上の半導体回路に電気的に接続される。前記半導体チップ2は、更に、3次元実装用半導体パッケージ102における第1の配線パターン8、配線ワイヤ14、厚さ方向配線1

6、および半田ボール26を介してドータボード60における半導体素子62に電氣的に接続される。

【0051】このように、実施形態1に係る3次元実装用半導体パッケージは、同種の半導体チップを高集積度で実装したり、マザーボード上にドータボードを実装したりするのに好適に使用できる。

【0052】2. 実施形態2

本発明に係る3次元実装用半導体パッケージの別の例を、図10および図11に示す。図10および図11において、図1〜3と同一の符号は、前記符号が前記図面において示す構成要素と同一の構成要素を示す。

【0053】図10に示すように、実施形態2に係る3次元実装用半導体パッケージ104は、実施形態1に係る3次元実装用半導体パッケージにおける厚さ方向配線16の他端に位置する上面接続面18に、半田ボール26を介して再配線基板30を載置したという構成を有している。

【0054】再配線基板30の上面には、第1の配線パターン8および第2の配線パターン10とは異なった配線パターンであってもよい第3の配線パターン32が形成されている。第3の配線パターン32は、再配線基板30を貫通する鍍金スルーホール34を介して半田ボール26に電氣的に接続されている。再配線基板30の上面、即ち上面接続面18に電氣的に接続された側とは反対側の面は、更に、フォトレジスト樹脂の層であるレジスト層36により被覆されている。レジスト層36の所定箇所には円形の開口部38が設けられ、第3の配線パターン32が露出している。開口部38は、本発明の3次元実装用半導体パッケージにおける上面接続電極に相当する。開口部38には、溶着などの手段により、半田ボール28を接合できる。図10に示す3次元実装用半導体パッケージ104において、開口部38に半田ボール28を溶着した例を図11に示す。

【0055】実施形態2に係る3次元実装用半導体パッケージ104においては、図10および図11に示すように、接続面18の上方だけでなく、半導体チップ2の上方にも開口部38を設けることができるから、実施形態1に係る3次元実装用半導体パッケージに比較して、上面に更に多くの上面接続電極を形成できる。

【0056】また、前述のように、第3の配線パターン32は、第1の配線パターン8、および第2の配線パターン10の何れとも異なってもよいから、開口部38は、必ずしも開口部22および接続面18の真上に位置していなくてもよい。ここで、半導体チップ2の配線が異なれば、配線基板4の下面における開口部22および接続面18の位置も異なることが一般的であるが、前記3次元実装用半導体パッケージ104においては、半導体チップの種類が異なる3次元実装用半導体パッケージを積層する場合においても、第3の配線パターンを適宜選択して、開口部38の位置を、上方に積層される3

次元実装用半導体パッケージの下面の開口部22に合せることにより、前記3次元実装用半導体パッケージを上方に接続できる。

【0057】したがって、3次元実装用半導体パッケージ104を用いれば、フラッシュメモリなどのメモリとワンチップマイコンとの組合せ、G/Aなどのカスタムロジックとワンチップマイコンとの組合せ、およびアナログデバイスとデジタルデバイスとの組合せなどのシステム・オン・チップ実装が、マザーボードを介することなく可能になるから、実装面積が極めて厳しく限定される携帯電話向け、および高速動作が要求される機器類向けなどの半導体パッケージとして好適である。

【0058】3. 実施形態3

本発明に係る3次元実装用半導体パッケージの更に別の例を図12に示す。図12において、(A)は、前記3次元実装用半導体パッケージの厚さ方向の断面を示し、

(B)は、前記3次元実装用半導体パッケージを上面から見た平面形状を示す。そして、図1〜3と同一の符号は、前記符号が前記図面において示す構成要素と同一の構成要素を示す。

【0059】図12に示すように、実施形態3に係る3次元実装用半導体パッケージ106は、実施形態1に係る3次元実装用半導体パッケージにおける封止樹脂層6の上面に、第4の配線パターン40が形成されてなる構成を有している。更に、第4の配線パターン40は、3次元実装用半導体パッケージにおける接続面18に電氣的に接続されている。

【0060】前記封止樹脂層6の上面には、フォトレジスト樹脂の層であるレジスト層42が形成され、第4の配線パターン40は、レジスト層42により被覆されている。

【0061】第4の配線パターン40は、接続面18に当接する無電解銅鍍金層40Aと、無電解銅鍍金層40Aの表面に積層された電解鍍金銅層40Bとを備える。

【0062】レジスト層42においては、第4の配線パターン40上における所定の位置に、レジスト開口部44が設けられ、レジスト開口部44の内部には、本発明の3次元実装用半導体パッケージにおける上面接続電極に対応する上部電極46が形成されている。上部電極46は、第4の配線パターン40上に当接するニッケル層46Aと、ニッケル層46Aの上部に積層された金層46Bとの2層からなっている。上部電極46は、第4の配線パターン40を形成する銅が、レジスト開口部44において酸化するのを防止する機能を有し、ニッケル層46Aは、第4の配線パターン40を形成する銅と金層46Bを形成する金との間の相互拡散を防止する機能を有する。なお、上部電極46は、半田からなる単一層の電極であってもよい。

【0063】3次元実装用半導体パッケージ106は、以下のようにして作製できる。

10

20

30

40

50

【0064】配線基板4に、第1の配線パターン8を形成してから厚さ方向配線16および接続面18を形成するまでは、実施形態1に係る3次元実装用半導体パッケージのところで述べた手順、具体的には図4～図7に示す手順に従って各工程を行なうことができる。

【0065】配線基板4に厚さ方向配線16が形成されたら、図13に示すように、封止樹脂層6の上面に、接続面18の位置に合せて第4の配線パターン40を形成する。

【0066】第4の配線パターン40の形成は、以下の手段により行なうことができる。

【0067】まず、図7に示す状態の配線基板4の裏面などの不要な部分をマスキングし、無電解鍍金法により銅鍍金する。これにより、絶縁物である封止樹脂層6の表面全体に銅皮膜が形成される。次いで、無電解鍍金法により形成された銅皮膜を電極として、前記銅皮膜上に銅を電気鍍金する。これにより、十分な厚みを有し、電気抵抗の少ない銅の層が形成される。

【0068】つぎに、フォトリソ法などにより、前記銅皮膜に所定のパターンニングを行なって第4の配線パターン40を形成する。なお、第4の配線パターン40を形成する金属は銅には限定されない。さらに、無電解鍍金法を用いる代わりに、スパッタ法または真空蒸着法を用いて封止樹脂層6上に銅などの金属の皮膜を形成してもよい。

【0069】第4の配線パターン40を形成したら、図14に示すように、封止樹脂層6の表面全体にフォトリソ樹脂によりレジスト層42を形成し、レジスト層42に、フォトリソグラフィ法でレジスト開口部44を形成する。

【0070】レジスト開口部44を形成したら、レジスト層42をマスクとして、レジスト開口部44において露出した第4の配線パターン40の表面をニッケル鍍金してニッケル層46Aを形成し、次いでニッケル層46Aの表面に金鍍金して金層46Bを形成することにより、上部電極46を形成する。

【0071】なお、半田により、上部電極46を形成する場合には、レジスト開口部44に半田ペーストを塗布し、然る後に前記半田ペースト中の半田を溶融させてもよい。

【0072】最後に、上部電極46を形成したプリント基板4を、ダイシングプレートなどを用い、切断線cに沿って碁盤目状に切断することにより、3次元実装用半導体パッケージ106が得られる。

【0073】3次元実装用半導体パッケージ106においても、第4の配線パターン42は、第1の配線パターン8および第2の配線パターン10とは異なってもよいから、レジスト開口部44も、半導体チップ2の上方に設けることができ、また、必ずしも配線基板4における開口部22および上面接続面18の真上に位置して

いなくてもよい。

【0074】したがって、3次元実装用半導体パッケージ106の半導体チップ2とは異なる半導体チップを有する3次元実装用半導体パッケージを3次元実装用半導体パッケージ106の上方に積層する場合には、第4の配線パターンを適宜選択し、レジスト開口部44の位置を、上方に積層しようとする3次元実装用半導体パッケージにおける開口部22の位置に合せて形成すればよい。

【0075】したがって、3次元実装用半導体パッケージ106もまた、実施形態2に係る3次元実装用半導体パッケージと同様のシステム・オン・チップ実装が、マザーボードを介することなく可能になる。

【0076】更に、3次元実装用半導体パッケージ106においては、封止樹脂層6の表面に直接に第4の配線パターンが形成されているから、再配線基板を有しない分だけ、実施形態2に係る3次元実装用半導体パッケージよりも薄くできる。

【0077】故に、3次元実装用半導体パッケージ106は、実装面積が極めて厳しく限定される携帯電話向け、および高速動作が要求される機器類向けなどの半導体パッケージとして、実施形態2に係る3次元実装用半導体パッケージよりも更に好適である

【0078】

【発明の効果】以上説明したように、本発明によれば、マザーボード上に立体的に実装できる故に、従来のBGA型半導体パッケージよりも更に高密度実装でき、しかも作製の容易な3次元実装用半導体パッケージ、前記3次元実装用半導体パッケージの製造方法、および前記3次元実装用半導体パッケージをマザーボード上に実装してなる半導体装置が提供される。

【図面の簡単な説明】

【図1】図1は、本発明に係る3次元実装用半導体パッケージの一例を示す厚さ方向の断面図である。

【図2】図2は、図1に示す3次元実装用半導体パッケージにおける厚さ方向配線末端の接続面に半田ボールを溶着した3次元実装用半導体パッケージの例を示す断面図である。

【図3】図3は、図1および図2に示す3次元実装用半導体パッケージをマザーボード状に実装した半導体装置の例を示す概略図である。

【図4】図4は、図1および図2に示す3次元実装用半導体パッケージにおける配線基板上に第1の配線パターンを形成した状態を示す平面図である。

【図5】図5は、前記配線基板における第1の配線パターンを形成した側の面に半導体チップを載置して接着し、前記半導体チップにおける端子と前記第1の配線パターンとを配線ワイヤで配線した状態を示す平面図である。

【図6】図6は、半導体チップを載置した配線基板にお

いて、半導体チップを載置した側の面に封止樹脂層を形成し、第1の配線パターンおよび半導体チップなどを封止し、更に、第1の配線パターンの位置に合せて前記封止樹脂層に孔を穿設した状態を示す平面図である。

【図7】図7は、前記封止樹脂層に穿設した孔に厚さ方向配線を形成した状態を示す平面図である。

【図8】図8は、前記厚さ方向配線の末端における接続面に半田ボールを溶着した状態を示す平面図である。

【図9】図9は、図7または図8に示す配線基板を基盤目状に切断して図1または図2に示す3次元実装用半導体パッケージとする工程を示す平面図である。

【図10】図10は、本発明に係る3次元実装用半導体パッケージの別の例を示す厚さ方向の断面図である。

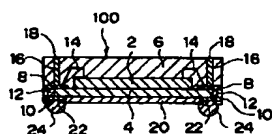
【図11】図11は、図10に示す3次元実装用半導体パッケージにおける再配線基板の上面に形成された開口部において、前記再配線基板状に形成された第3の配線パターンに半田ボールを溶着した3次元実装用半導体パッケージの例を示す断面図である。

【図12】図12は、本発明に係る3次元実装用半導体パッケージの更に別の例を示す厚さ方向の断面図および

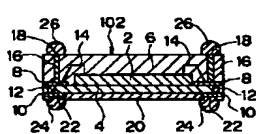
【図13】図13は、図12に示す3次元実装用半導体パッケージにおける第4の配線パターンを形成したところを示す平面図である。

【図14】図14は、図12に示す3次元実装用半導体

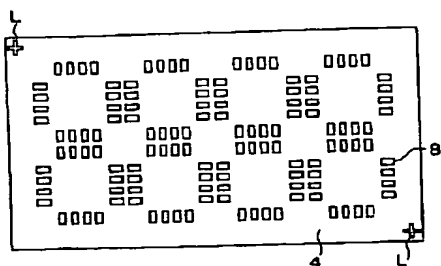
【図1】



【図2】



【図4】



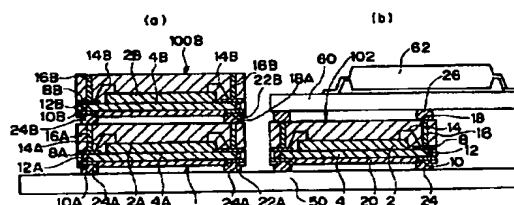
パッケージにおけるレジスト層、レジスト開口部、および上部電極を形成したところを示す平面図である。

【図15】図15は、従来のBGA（ボールグリッドアレイ）型半導体パッケージの一例を示す厚さ方向の断面図である。

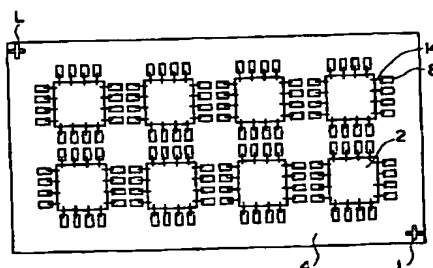
【符号の説明】

- | | |
|----|-----------|
| 2 | 半導体チップ |
| 4 | 配線基板 |
| 6 | 封止樹脂層 |
| 8 | 第1の配線パターン |
| 10 | 第2の配線パターン |
| 12 | スルーホール |
| 14 | 配線ワイヤ |
| 16 | 厚さ方向配線 |
| 18 | 上面接続面 |
| 22 | 開口部 |
| 24 | 半田ボール |
| 26 | 半田ボール |
| 30 | 再配線基板 |
| 32 | 第3の配線パターン |
| 38 | 開口部 |
| 40 | 第4の配線パターン |
| 44 | レジスト開口部 |
| 46 | 上部電極 |

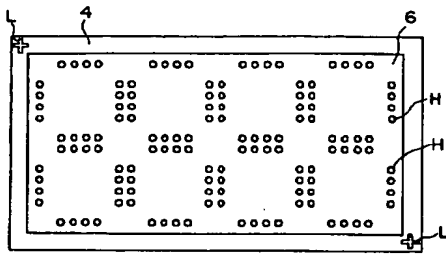
【図3】



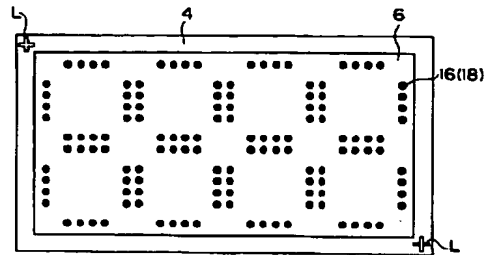
【図5】



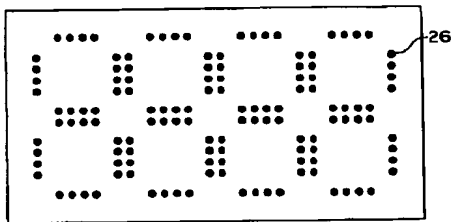
【図6】



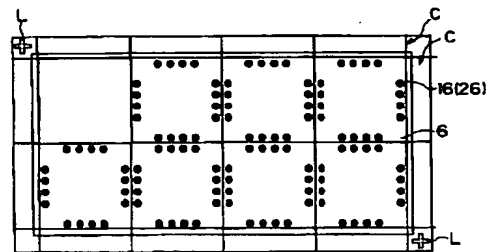
【図7】



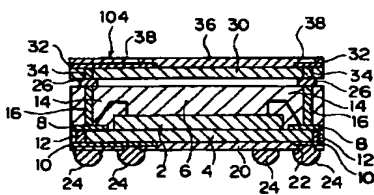
【図8】



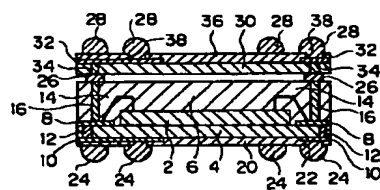
【図9】



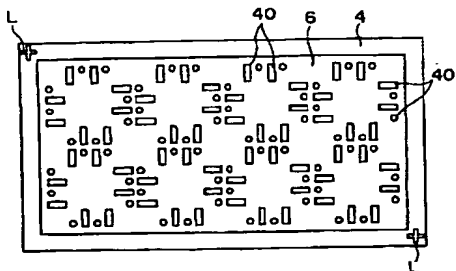
【図10】



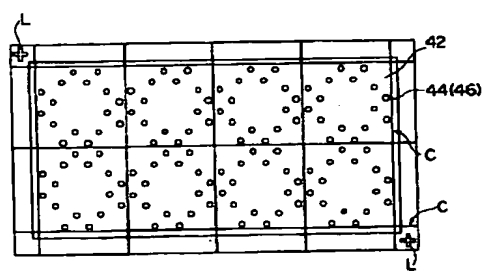
【図11】



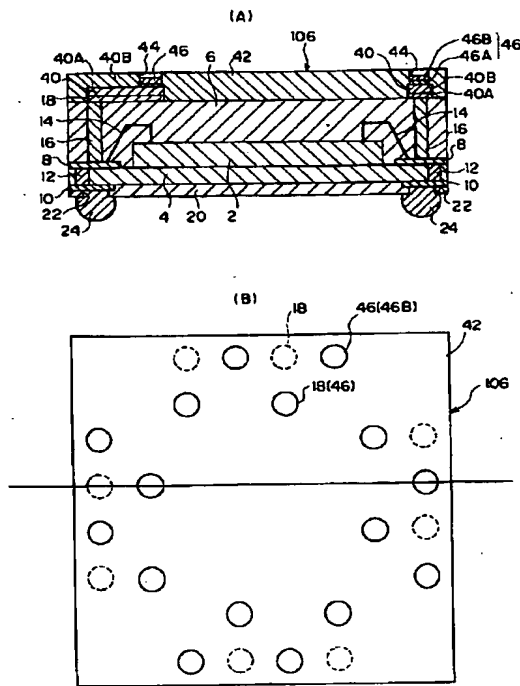
【図13】



【図14】



【図12】



【図15】

